



1FW/2663

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Patent Application of:)
GUINEA ET AL.)
) Examiner: Christine NG
Serial No. 09/784,549 ✓)
Confirmation No: 3127) Art Unit: 2663
Filing Date: FEBRUARY 15, 2001) NOA Date: 08/17/2005
For: SYNCHRONISM PHASE-SWITCHING)
CIRCUIT FOR THE RECOVERY OF)
RECEIVED DATA)

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop Issue Fee
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of the
priority European Application No. 00830131.9.

Respectfully submitted,

CHRISTOPHER F. REGAN
Reg. No. 34,906
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicant

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being
deposited with the United States Postal Service as first class
mail in an envelope addressed to: COMMISSIONER FOR PATENTS,
P.O. BOX 1450, ALEXANDRIA, VA 22313-1450, on this 4th day of
October, 2005.

THIS PAGE BLANK (USPTO)



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

00830131.9

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

I.L.C. HATTEN-HECKMAN

DEN HAAG, DEN
THE HAGUE, 15/02/01
LA HAYE, LE

THIS PAGE BLANK (USPTO)



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

**Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation**

Anmeldung Nr.:
Application no.:
Demande n°: 00830131.9

Anmeldetag:
Date of filing: 24/02/00
Date de dépôt:

Anmelder:
Applicant(s):
Demandeur(s):
STMicroelectronics S.r.l.
20041 Agrate Brianza (Milano)
ITALY

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:
Synchronous switching circuit for data recovery

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:
State:
Pays:

Tag:
Date:
Date:

Aktenzeichen:
File no.
Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:

H04L7/033, H04L7/00, H03L7/081, H03L7/07

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE/GB
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks:
Remarques:

The original title of the application in Italian reads as follows:
Circuito di commutazione, particolarmente commutatore di fase di
sincronismo per il recupero di dati ricevuti.

THIS PAGE BLANK (USPTO)

"Circuito di commutazione, particolarmente commutatore di fase di sincronismo per il recupero di dati ricevuti."

DESCRIZIONE

La presente invenzione si riferisce in generale al settore della trasmissione dati in formato digitale, ed in particolare alla trasmissione dati sincrona. Più in particolare, l'invenzione concerne la problematica del recupero dei dati in un flusso di dati ricevuti da un canale di comunicazione sul quale i dati sono trasmessi serialmente ed in banda base.

Nella trasmissione dati digitale seriale sincrona in banda base è fondamentale conoscere con precisione il cosiddetto "tempo di bit", ossia l'intervallo di tempo nel quale ogni singolo bit di dati è trasmesso e viaggia sul canale di comunicazione. I bit, trasmessi in serie, viaggiano in forma di flussi di impulsi e, almeno idealmente, ciascun impulso occupa un suo proprio intervallo di tempo elementare ("time slot"), chiamato anche "intervallo unitario" o "UI". La durata di tale intervallo di tempo elementare è l'inverso della velocità di trasmissione dei dati ("data rate").

Il segnale ricevuto, dopo i normali trattamenti di equalizzazione automatica e squadratura, si presenta nella forma di un flusso di impulsi quadrati.

Per poter ricostruire il valore del singolo bit di

dati in arrivo sul canale di comunicazione, i circuiti di ricezione devono conoscere con precisione l'istante di arrivo del bit, ossia l'istante di arrivo dell'impulso che corrisponde al bit.

5 Nella trasmissione seriale semi-duplex si impiegano vari tipi di codifica dei dati. La forma del segnale nel dominio del tempo, ed il contenuto spettrale dello stesso, quando elaborati dai circuiti di ricezione, possono identificare l'istante di tempo in cui l'impulso in arrivo
10 deve essere valutato come valore del bit di dati in arrivo.

Il processo di individuazione dell'istante in cui valutare gli impulsi è chiamato "recupero della temporizzazione dei dati" ("Clock Data Recover" o, brevemente, "CDR").

15 Nella letteratura specializzata sono noti vari metodi per il recupero della temporizzazione dei dati; una rassegna di tali metodi è ad esempio fornita in B. Razavi, "Design of Monolithic Phase-Locked Loops and Clock Recovery Circuits-A Tutorial", IEEE Press, 1995. Tali metodi sono descritti con
20 riferimento ad applicazioni in cui i dati sono trasmessi in banda base con codifica NRZ ("NonReturn-to-Zero"). In particolare, è stato descritto l'utilizzo di circuiti per la commutazione fra una molteplicità di segnali di fase digitali per individuare e seguire la temporizzazione dei
25 dati in ricezione.

Oltre alla codifica NRZ, un altro tipo di codifica nota ed utilizzata nella trasmissione seriale sincrona in banda base di dati digitali è la codifica CMI ("Code Mark Inversion"). La codifica CMI trova ad esempio applicazione
5 nell'ambito della trasmissione dati sincrona secondo lo standard SDH ("Synchronous Digital Hierarchy"). Come noto, lo standard SDH prescrive velocità di trasmissione prestabilite: 51,84 Mbit/s (velocità base), 155,52 Mbit/s, 622,08 Mbit/s eccetera. Le velocità di trasmissione
10 prescritte sono tutte multipli interi della velocità base.

Nell'ambito dello standard SDH, la raccomandazione G.703 emanata dal comitato CCITT della International Telecommunication Union (ITU) prescrive le caratteristiche elettrico/fisiche delle interfacce digitali gerarchiche da
15 utilizzarsi per interconnettere componenti di reti digitali che si conformano allo standard SDH. In particolare la raccomandazione G.703 prescrive il tipo di codifica dei dati da utilizzarsi per ciascuna velocità di trasmissione: ad esempio, per le interfacce di trasmissione/ricezione (dette
20 anche interfacce bidirezionali o "transceiver") a 155,52 Mbit/s si deve utilizzare la codifica CMI.

La codifica CMI è un codice a due livelli, A1 ed A2, tipicamente basso e alto, nel quale uno "0" binario è codificato in modo da presentare i due livelli A1 ed A2 in
25 successione, ciascuno per un tempo pari alla metà del tempo

di bit, mentre un "1" binario è codificato mediante uno o l'altro dei due livelli A1 o A2 mantenuto per tutto il tempo di bit; i due livelli A1, A2 vengono alternati fra loro per "1" binari successivi.

5 La codifica CMI incorpora intrinsecamente un forte segnale di temporizzazione. Le soluzioni note per il recupero della temporizzazione dei dati nel caso di codifiche recanti intrinsecamente un forte segnale di temporizzazione prevedono un circuito ad aggancio di fase
10 ("Phase Locked Loop" o, brevemente "PLL") analogico, operante a frequenza doppia rispetto alla velocità di trasmissione dei dati (data rate) in modo da poter gestire il contenuto in frequenza doppia intrinseco alla codifica CMI.

15 E' anche noto l'utilizzo di circuiti PLL digitali che impiegano un segnale di temporizzazione veloce oppure un segnale di temporizzazione locale multifase, ossia comprendente una pluralità di segnali di temporizzazione fra loro temporalmente sfasati, che insegue i dati ricevuti
20 selezionando dinamicamente la fase migliore per il campionamento dei dati stessi. Tali circuiti sono noti col nome di CDR a commutazione di fase. Essi comprendono un commutatore che riceve in ingresso un numero N di segnali di temporizzazione o fasi di sincronismo temporalmente
25 equidistanziate ed è in grado di selezionare quale delle

fasi è la migliore da utilizzare come segnale di sincronismo per il campionamento del bit di dati successivo.

In tali circuiti si pone peraltro il problema di evitare, nel passaggio da una fase alla fase che, in termini
5 di ritardo temporale, la segue o la precede, si producano dei falsi segnali ("glitch") causati da transizioni spurie, che potrebbero causare un errato campionamento del bit di dati in arrivo. Ciò determina l'insorgenza di vibrazioni ("jitter") nel recupero della temporizzazione dei dati in
10 arrivo.

Scopo della presente invenzione è pertanto quello di rendere disponibile un circuito di commutazione, particolarmente per l'uso come commutatore di fasi di sincronismo, che sia immune dai problemi summenzionati, in
15 particolare sia immune da falsi segnali (glitch) nel passaggio da una fase alla fase adiacente, in modo che il recupero della temporizzazione dei dati in arrivo abbia elevata tolleranza ai jitter.

In accordo con la presente invenzione, viene fornito
20 un circuito di commutazione per commutare una uscita su uno di una pluralità di N segnali di temporizzazione di ingresso fra loro ritardati, caratterizzato dal fatto di comprendere mezzi circuitali rispondenti a detto comando per l'abilitazione alla trasmissione su detto segnale di uscita
25 di un nuovo segnale di detta pluralità di segnali di

ingresso, anticipato o ritardato rispetto ad un segnale
corrente di detta pluralità di segnali di ingresso
correntemente trasmesso su detto segnale di uscita, detti
mezzi circuitali abilitando la trasmissione del nuovo
5 segnale prima di disabilitare la trasmissione su detto
segnale di uscita del segnale corrente, in modo da evitare
che, nella commutazione del segnale di uscita da uno ad un
altro dei segnali di temporizzazione, si producano falsi
segnali.

10 Le caratteristiche ed i vantaggi della presente
invenzione saranno resi evidenti dalla seguente descrizione
dettagliata di una sua possibile forma di realizzazione
pratica, illustrata a puro titolo di esempio non limitativo
negli uniti disegni, nei quali:

15 la figura 1 è uno schema a blocchi di un circuito di
ricezione di un flusso dati comprendente un commutatore di
fasi di sincronizzazione in accordo con la presente
invenzione;

la figura 2 è uno schema a blocchi del commutatore di
20 fasi di sincronizzazione;

la figura 3 è uno schema circuitale di un blocco del
commutatore di sincronizzazione di figura 2; e

le figure 4 e 5 sono diagrammi temporali dei segnali
maggiormente significativi del circuito di figura 2,
25 mostranti due casi di commutazione fra fasi di

sincronizzazione.

Con riferimento ai disegni, in figura 1 è mostrato uno schema a blocchi di principio di un circuito di ricezione di un flusso dati. Una linea di segnale BK, proveniente da un canale di comunicazione, reca un flusso di dati in ricezione, in particolare un flusso seriale di dati digitali banda base e ad esempio con codifica di tipo CMI. La linea di segnale BK è collegata in ingresso ad un comparatore di fase 1 e, in parallelo, ad una circuiteria 2 di rilevamento del dato. Al comparatore di fase 1 ed alla circuiteria di rilevamento del dato 2 viene anche fornito in ingresso un segnale di sincronismo CKS. Il segnale di sincronismo CKS è utilizzato dalla circuiteria 2 per il campionamento dei dati sulla linea di segnale BK.

Il segnale di sincronismo CKS è fornito in uscita da un circuito 3 di commutazione di fasi di sincronizzazione. Il circuito di commutazione di fasi 3 riceve in ingresso una pluralità di N fasi o segnali di temporizzazione locale CK1 - CKN, di pari periodo T e fra loro ritardati di frazioni di periodo T, ad esempio equiritardati l'uno rispetto al successivo di T/N . In un particolare esempio applicativo, gli N segnali di temporizzazione locale CK1 - CKN sono generati da un circuito ad anello ad aggancio di ritardo 4 ("Delay Locked Loop" o, brevemente, "DLL"), che genera gli N segnali CK1 - CKN a partire da un unico segnale di

temporizzazione locale CK, generato localmente, di periodo T. Il segnale di sincronismo CKS è uno fra gli N segnali CK1 - CKN. Il periodo T dei segnali CK1 - CKN è nominalmente pari al tempo di bit nel flusso di dati in arrivo sulla
5 linea di segnale BK, ossia corrisponde al "data rate" di trasmissione a meno delle tolleranze nei valori di frequenza dei quarzi che generano i segnali di temporizzazione in trasmissione ed in ricezione.

Il comparatore di fase 1 confronta fra loro il segnale
10 sulla linea di segnale BK ed il segnale CKS, e fornisce in uscita segnali, schematizzati in figura dal segnale +/-, rappresentativi dell'anticipo o del ritardo di fase fra il segnale CKS ed il segnale in arrivo sulla linea di segnale BK. I segnali +/- sono forniti in ingresso ad un circuito di
15 elaborazione 5.

Il circuito di elaborazione 5 può comprendere filtri, serializzatori ("serializer") o altri mezzi di controllo della risposta dinamica dell'anello formato dal circuito di commutazione di fasi 3, dal comparatore di fase 1 e dallo
20 stesso circuito di elaborazione 5. In particolare, il circuito di elaborazione 5 può comprendere un circuito di conteggio (contatore). Il contatore incrementa o decrementa il conteggio sulla base dei segnali +/-, e fornisce in forma di parola codificata CNT il risultato corrente del conteggio
25 al commutatore 3.

La figura 2 mostra, a livello di schema a blocchi, il commutatore di fasi di sincronismo 3, in un particolare esempio in cui il numero N di segnali di temporizzazione locale CK1 - CKN sia pari a sedici. E' importante notare che
5 tale numero costituisce soltanto un possibile esempio, e non è da intendere come limitativo della presente invenzione.

Il commutatore 3 comprende una pluralità di N blocchi circuitali sostanzialmente identici fra loro, pari al numero di fasi che si devono commutare, sedici nel particolare
10 esempio mostrato, 31 - 316. Ciascuno dei blocchi 31 - 316 riceve in ingresso un rispettivo segnale degli N, sedici in questo esempio, segnali di temporizzazione locale CK1 - CK16. Il commutatore 3 comprende inoltre un circuito decodificatore 6, che riceve in ingresso la parola
15 codificata CNT fornita dal circuito di elaborazione 5 e ne effettua la decodifica. Il circuito decodificatore 6 fornisce in uscita N, nell'esempio sedici, segnali S1 - S16, ciascuno dei quali è fornito in ingresso ad uno rispettivo degli N blocchi 31 - 316.

20 Ciascuno dei blocchi 31 - 316 fornisce in uscita un rispettivo segnale di sincronismo EN_CK1 - EN_CK16 che, quando abilitato, sostanzialmente coincide col rispettivo segnale di temporizzazione locale CK1 - CK16 in ingresso al blocco. I segnali EN_CK1 - EN_CK16 sono forniti in ingresso
25 ad una porta AND 7. L'uscita della porta AND 7 costituisce

il segnale di sincronismo CKS, ossia il segnale di temporizzazione locale prescelto fra gli N segnali di temporizzazione locale CK1 - CKN.

In aggiunta al rispettivo segnale EN_CK1 - EN_CK16,
5 ciascun blocco 31 - 316 fornisce in uscita un ulteriore rispettivo segnale K1 - K16, che viene fornito in ingresso al blocco che precede ed al blocco che segue il blocco stesso. In altre parole, il generico blocco 3i, con $2 \leq i \leq 15$, genera, oltre al rispettivo segnale EN_CKi, un ulteriore
10 rispettivo segnale Ki, che viene fornito in ingresso al blocco 3(i-1) ed al blocco 3(i+1). Il segnale K1 generato dal blocco 31 è fornito, oltre che al blocco successivo 32, al blocco 316; analogamente, il segnale K16 generato dal blocco 316 viene fornito, oltre che al blocco precedente
15 315, al blocco 31. I blocchi 31 - 316 sono quindi connessi a formare un anello.

La figura 3 è uno schema dettagliato della struttura interna dei blocchi 31 - 316, in una possibile forma di realizzazione pratica.

20 Il rispettivo segnale Si, proveniente dal circuito decodificatore 6, viene fornito in ingresso ad una catena di, ad esempio, tre flip-flop di tipo D FF1 - FF3, ossia tre flip-flop di tipo D in cui l'uscita (diritta) di un flip-flop è fornita all'ingresso del flip-flop che segue. Agli
25 ingressi di controllo o di clock dei flip-flop FF1 - FF3,

attivi sul fronte di salita del segnale di clock ad essi applicato, viene fornito come segnale di clock il complemento logico del rispettivo segnale di temporizzazione locale CKi.

5 L'uscita (diritta) dell'ultimo flip-flop della catena di ingresso, ossia l'uscita (nodo N1) del flip-flop FF3, è fornita in ingresso ad un ulteriore flip-flop di tipo D FF4, al cui ingresso di controllo o di clock (attivo sul fronte di salita del segnale di clock ad esso applicato) è ancora
10 fornito il complemento logico del segnale CKi. L'uscita (diritta) del flip-flop FF4 (nodo N2) è fornita ad un primo ingresso di una porta AND A1 e, in parallelo, ad un primo ingresso di una porta OR O1. Un secondo ingresso della porta AND A1 ed un secondo ingresso della porta OR O1 ricevono
15 l'uscita diritta del flip-flop FF3 (nodo N1). Un terzo ingresso della porta AND A1 ed un terzo ingresso della porta OR O1 ricevono l'uscita diritta del flip-flop FF2 (nodo N3).

 L'uscita diritta del flip-flop FF2 viene anche fornita ad un primo ingresso di una porta AND A2, al cui secondo
20 ingresso è fornito, attraverso un invertitore I1, il complemento logico dell'uscita (diritta) del flip-flop FF3. Questo produce un segnale di "detect transition" sul segnale Si.

 L'uscita della porta AND A2 (nodo N4) è fornita in
25 ingresso ad una catena di due flip-flop di tipo D FF5, FF6,

ai cui ingressi di controllo o di clock (attivi sul fronte di salita ad essi applicato) è fornito il segnale di temporizzazione locale CKi.

L'uscita (diritta) del flip-flop FF6 corrisponde al
5 segnale Ki, che viene fornito al blocco 3(i-1) che precede il blocco 3i (oppure al blocco 316 nel caso il blocco 3i sia il blocco 31) ed al blocco 3(i+1) che segue il blocco 3i (oppure al blocco 31 nel caso il blocco 3i sia il blocco 316).

10 L'uscita della porta AND A2 è inoltre fornita ad un primo ingresso di una porta triplo OR O2, ad un secondo ingresso della quale è fornito il segnale di uscita della porta AND A1 (nodo N5). L'uscita della porta OR O2 (nodo N6) è fornita ad un primo ingresso di una porta AND A3. Un
15 secondo ingresso della porta AND A3 riceve l'uscita della porta OR O1 (nodo N7). L'uscita della porta AND A3 (nodo N8) è fornita in ingresso ad un flip-flop di tipo D FF7, al cui ingresso di controllo o di clock (attivo sul fronte di salita del segnale ad esso applicato) è fornito il
20 complemento logico del segnale di temporizzazione locale CKi. L'uscita diritta ENi del flip-flop FF7 è fornita in retroazione ad un terzo ingresso della porta triplo OR O2, ed anche ad un primo ingresso di una porta NAND NA1. Al
25 secondo ingresso della porta NAND NA1 è fornito il complemento logico del segnale di temporizzazione locale

CKi.

Un ingresso di azzeramento del flip-flop FF7 riceve l'uscita di una porta NOR NO1, ai cui due ingressi sono forniti i segnali $K(i-1)$ e $K(i+1)$ provenienti
5 rispettivamente dal blocco 3(i-1) precedente il blocco 3i (oppure il segnale K16 dal blocco 316 nel caso il blocco 3i sia il blocco 31) e dal blocco 3(i+1) che segue il blocco 3i (oppure il segnale K1 dal blocco 31 nel caso il blocco 3i sia il blocco 316).

10 L'uscita della porta NAND NA1 corrisponde al segnale EN_CKi, che viene fornito unitamente ai segnali di uscita dei rimanenti blocchi alla porta AND 7 di figura 2 in modo da generare il segnale di temporizzazione prescelto CKS.

Il funzionamento del circuito è il seguente.

15 Facendo riferimento alla figura 1, il comparatore di fase 1 effettua un confronto di fase fra il segnale in arrivo sulla linea di segnale BK, recante il flusso di dati in ricezione, ed il segnale di sincronismo CKS corrente. In funzione dell'esito del confronto, ossia in funzione del
20 fatto che il segnale di sincronismo CKS corrente sia in anticipo oppure in ritardo rispetto al segnale BK, il comparatore di fase 1 informa il circuito di elaborazione 5, in particolare il contatore in esso contenuto, di incrementare oppure decrementare il conteggio.

25 Il valore di conteggio corrente contenuto nel

contatore 5 è fornito, codificato nella parola CNT, al commutatore di fase 3. Con riferimento alla figura 2, il circuito di decodifica 6 provvisto all'interno del commutatore di fase 3 provvede a decodificare la parola CNT e ad attivare conseguentemente uno dei segnali S1 - S16, lasciando i rimanenti segnali S1 - S16 disattivati.

L'attivazione di uno dei segnali S1 - S16 determina la selezione del rispettivo blocco 31 - 316.

Facendo ora riferimento alla figura 3, la catena di flip-flop FF1 - FF3, che campiona il rispettivo segnale di selezione Si un numero opportuno di periodi T del rispettivo segnale di temporizzazione locale CKi, serve per evitare metastabilità. Ciò fornisce un margine di sicurezza contro la selezione spuria del blocco 31 - 316 corrispondente al segnale S1 - S16 attivato, che potrebbe essere causata da false attivazioni (glitch) del segnale Si.

Il segnale di uscita ENi del flip-flop FF7 funge da segnale di abilitazione per il segnale EN_CKi. Quando il blocco 3i non è selezionato, ossia quando il rispettivo segnale Si è a livello logico basso, il segnale di abilitazione ENi è a livello logico basso, ed il segnale EN_CKi è forzato a livello logico alto. Infatti, essendo i nodi N1, N2 ed N3 tutti a livello logico basso, l'uscita della porta OR O1 (nodo N7) è a livello logico basso, per cui l'uscita della porta AND A3 è a livello logico basso.

Quando il segnale di selezione Si viene attivato, ossia portato a livello logico alto, e mantenuto a tale livello per più di tre periodi T del segnale di temporizzazione locale CKi, i nodi N1, N2 ed N3 si portano a
5 livello logico alto. Più specificamente, il primo nodo che si porta a livello logico alto è il nodo N3, cosa che determina immediatamente la transizione a livello logico alto del nodo N7 e quindi l'abilitazione della porta AND A3. Allo stesso tempo, anche il nodo N4 (uscita della porta AND
10 A2 che forma, assieme all'invertitore I1, un formatore di impulso) si porta a livello logico alto, per cui anche il nodo N6 e quindi il nodo N8 si portano a livello logico alto.

Al successivo fronte di discesa del segnale CKi (i
15 flip-flop FF1 - FF3 sono comandati dal complemento logico del segnale CKi, e caricano il dato presente ai loro ingressi in occasione del fronte di salita di detto complemento logico, ossia del fronte di discesa del segnale CKi), quindi dopo un periodo T , anche il nodo N1 si porta a
20 livello logico alto. Ciò determina la discesa a livello logico basso del nodo N4. Peraltro, sul medesimo fronte di discesa del segnale CKi, il livello logico alto presente sul nodo N8 viene proposto all'uscita del flip-flop FF7, ossia il segnale ENi si porta al livello logico alto abilitando la
25 porta NAND NA1. Una volta che il segnale di abilitazione ENi

è stato attivato, la porta NAND NA1 avrà il primo ingresso a "1" e pertanto opererà come un invertitore sul segnale fornito al suo secondo ingresso, ossia il complemento logico del segnale di temporizzazione locale CKi. Pertanto, dopo
5 che il segnale di abilitazione ENi è stato attivato, l'uscita EN_CKi del blocco coincide sostanzialmente col segnale di temporizzazione locale CKi. Il segnale EN_CKi inizia quindi a commutare sincronicamente col segnale di temporizzazione locale CKi.

10 L'impulso, di durata T, sul nodo N4 viene riproposto all'uscita del flip-flop FF6 (ossia sul segnale Ki) con un ritardo di $(3/2)T$. Tale impulso, fornito ai blocchi 3(i-1) e 3(i+1) che rispettivamente precedono e seguono il blocco 3i, determina in detti blocchi l'azzeramento dei rispettivi
15 flip-flop FF7, e quindi la transizione a livello logico basso dei rispettivi segnali EN(i-1) ed EN(i+1) e il forzamento a livello logico alto dei rispettivi segnali EN_CK(i-1) ed EN_CK(i+1).

In altre parole, l'impulso sul segnale Ki determina il
20 forzamento a livello logico alto dei segnali EN_CK(i-1) ed EN_CK(i+1) dei blocchi adiacenti al blocco 3i.

Detto ancora in altre parole, l'abilitazione di un generico blocco 3i determina non solo l'attivazione, in sincronia con il fronte di discesa del segnale di
25 temporizzazione locale CKi, del rispettivo segnale di uscita

EN_CKi, ma è anche l'evento che determina la disattivazione (forzamento a livello logico alto) dei segnali di uscita dei due blocchi ad esso adiacenti da parte del blocco selezionato.

5 I diagrammi temporali mostrati nelle figure 4 e 5 aiutano a meglio comprendere il funzionamento del circuito secondo l'invenzione.

In particolare, in figura 4 è mostrato il caso in cui il comparatore di fase 1 rilevi che il segnale di
10 sincronismo CKS, coincidente con il generico segnale CK(i-1) dell'insieme di N segnali CK1 - CKN, è in anticipo rispetto alla temporizzazione intrinseca del flusso di dati in BK arrivo. Il commutatore 3 deve quindi commutare il segnale CKS dal segnale CK(i-1) al segnale CKi ritardato di una
15 ulteriore frazione di periodo T/N rispetto al segnale CK(i-1). All'istante t1 il decodificatore 6 attiva il segnale di selezione Si del blocco 3i, e disattiva il segnale di selezione S(i-1) del blocco 3(i-1). Nel blocco 3i, all'istante t2 viene attivato il segnale di abilitazione
20 ENi, in sincronia col fronte di discesa del rispettivo segnale CKi; da questo istante il segnale EN_CKi, precedentemente forzato a livello logico alto, inizia a commutare sincronicamente col segnale CKi. All'istante t3 si attiva l'impulso Ki, che forza il segnale EN(i-1) a livello
25 logico basso disabilitando la rispettiva uscita EN_CK(i-1).

Il segnale CKS, che fino all'istante t_2 (istante di attivazione del segnale EN_CKi) coincideva col segnale EN_CK(i-1), dall'istante t_3 coincide col segnale EN_CKi. In corrispondenza della commutazione, il fronte di discesa FE del segnale CKS è ancora coincidente col fronte di discesa del segnale EN_CK(i-1), mentre il successivo fronte di salita RE coincide col fronte di salita del segnale EN_CKi. Come visibile nel dettaglio mostrato in scala ingrandita in figura 4, la commutazione del segnale CKS dal segnale EN_CK(i-1) al segnale EN_CKi corrisponde in questo caso ad un allungamento del tempo di permanenza al livello logico basso del segnale CKS (rispetto al fronte di discesa FE, il fronte di salita RE è ritardato rispetto al fronte di salita RE' che si avrebbe se il segnale CKS rimanesse coincidente col segnale EN_CK(i-1)).

Si noti che il segnale EN_CKi viene abilitato prima che venga disabilitato il segnale EN_CK(i-1), in accordo ad una modalità "make before break".

In figura 5 è invece mostrato il caso in cui il comparatore di fase 1 rilevi che il segnale di sincronismo CKS, coincidente col generico segnale CKi dell'insieme CK1 - CKN, è in ritardo rispetto alla temporizzazione intrinseca del flusso di dati BK in arrivo. Il commutatore 3 deve quindi commutare il segnale CKS dal segnale CKi al segnale CK(i-1) in anticipo rispetto al segnale CKi di una frazione

di periodo T/N . All'istante t_1 il decodificatore 6 attiva il segnale di selezione $S(i-1)$ del blocco $3(i-1)$, e disattiva il segnale di selezione S_i del blocco $3i$. Nel blocco $3(i-1)$, all'istante t_2 viene attivato, in sincronia col fronte di discesa del rispettivo segnale $CK(i-1)$, il segnale di abilitazione $EN(i-1)$; da questo istante il segnale $EN_CK(i-1)$, precedentemente forzato a livello logico alto, inizia a commutare sincronicamente col segnale $CK(i-1)$. All'istante t_3 si attiva l'impulso $K(i-1)$, che forza il segnale EN_i a livello logico basso disabilitando (ossia forzando a livello logico alto) la rispettiva uscita EN_CK_i . Il segnale CKS all'istante t_2 (istante di attivazione del segnale $EN_CK(i-1)$) viene forzato al livello logico basso dal segnale $EN_CK(i-1)$. In corrispondenza della commutazione, il fronte di salita RE del segnale CKS è ancora coincidente col fronte di salita del segnale EN_CK_i , mentre il successivo fronte di discesa FE coincide col fronte di discesa del segnale $EN_CK(i-1)$. Come visibile nel dettaglio mostrato in scala ingrandita in figura 5, la commutazione del segnale CKS dal segnale EN_CK_i al segnale $EN_CK(i-1)$ corrisponde in questo caso ad un accorciamento del tempo di permanenza al livello logico alto del segnale CKS (rispetto al fronte di salita RE , il fronte di discesa FE è anticipato rispetto al fronte di discesa FE' che si avrebbe se il segnale CKS rimanesse coincidente col segnale EN_CK_i .

Anche in questo caso, il segnale EN_CK(i-1) viene abilitato prima della disabilitazione del segnale EN_CKi.

Come è possibile osservare, in nessuno dei casi si producono transizioni spurie (glitch) sul segnale di
5 sincronismo CKS. Grazie alla modalità di abilitazione "make before break" dei segnali EN_CKi, non si corre il rischio che, a causa di ritardi nella abilitazione del nuovo segnale EN_CKi, venga disabilitato il vecchio segnale EN_CKi prima che il nuovo sia stato effettivamente abilitato, cosa che
10 può causare glitch sul segnale di sincronismo CKS.

È chiaro che quella sopra descritta è soltanto una delle possibili implementazioni pratiche della presente invenzione, e che il tecnico del ramo potrà agevolmente prevedere varianti e/o aggiunte a quanto sopra descritto ed
15 illustrato senza per questo fuoriuscire dall'ambito di tutela definito nelle annesse rivendicazioni.

Inoltre, sebbene nella descrizione fornita si sia fatto riferimento ad un circuito di commutazione per l'uso come commutatore di fasi di sincronismo nell'ambito della
20 trasmissione seriale sincrona di dati digitali, è evidente che tale applicazione non è limitativa, il circuito di commutazione secondo l'invenzione potendo essere più in generale impiegato ovunque vi sia la necessità di effettuare una commutazione di un segnale su uno di una pluralità di
25 segnali di temporizzazione fra loro ritardati, senza correre

il rischio di generare glitch.

*** * ***

RIVENDICAZIONI

1. Circuito di commutazione per commutare un segnale di uscita (CKS) su uno di una pluralità di N segnali di temporizzazione (CK1 - CKN) di ingresso fra loro ritardati
5 in risposta ad un comando (CNT), caratterizzato dal fatto di comprendere mezzi circuitali (31-316,7) rispondenti a detto comando (CNT) per l'abilitazione alla trasmissione su detto segnale di uscita (CKS) di un nuovo segnale (CK(i-1);CKi) di detta pluralità di segnali di ingresso, anticipato o
10 ritardato rispetto ad un segnale corrente (CKi;CK(i-1)) di detta pluralità di segnali di ingresso correntemente trasmesso su detto segnale di uscita (CKS), detti mezzi circuitali (31-316,7) abilitando la trasmissione del nuovo segnale (CK(i-1);CKi) prima di disabilitare la trasmissione
15 su detto segnale di uscita (CKS) del segnale corrente (CKi;CK(i-1)), in modo da evitare che, nella commutazione del segnale di uscita da uno ad un altro dei segnali di temporizzazione, si producano falsi segnali.

2. Circuito di commutazione secondo la rivendicazione
20 1, caratterizzato dal fatto che detti mezzi circuitali (31-316,7) comprendono una pluralità di N blocchi circuitali (31-316) ciascuno dei quali riceve un rispettivo segnale di temporizzazione (CK1-CK16) di detta pluralità di N segnali ed è selezionabile per fornire detto rispettivo segnale
25 (CK1-CK16) ad una propria uscita (EN_CK1-EN_CK16)

operativamente connessa all'uscita (CKS) del circuito di commutazione, detti blocchi circuitali essendo operativamente connessi fra loro a formare un anello ("ring") e ciascun blocco circuitale generando un segnale di
5 disabilitazione (K1-K16) da fornire ai blocchi circuitali ad esso adiacenti nell'anello, detto segnale di disabilitazione essendo attivato in occasione della selezione del blocco circuitale per comandare in detti blocchi adiacenti la disabilitazione delle rispettive uscite (EN_CK1-EN_CK16).

10 3. Circuito di commutazione secondo la rivendicazione 2, caratterizzato dal fatto che detto segnale di disabilitazione (K1-K16) è attivato dopo che l'uscita (EN_CK1-EN_CK16) del rispettivo blocco circuitale è stata abilitata per fornire il rispettivo segnale di
15 temporizzazione locale (CK1-CK16).

4. Circuito di commutazione secondo la rivendicazione 3, caratterizzato dal fatto di comprendere un circuito di decodifica (6) di segnali di comando (CNT) per il circuito di commutazione, detto circuito di decodifica (6) attivando
20 in funzione di uno stato dei segnali di comando (CNT) uno fra N segnali di selezione (S1-S16) di detti blocchi circuitali (31-316).

5. Circuito di commutazione secondo la rivendicazione 4, caratterizzato dal fatto che detti segnali di
25 temporizzazione (CK1-CKN) sono tutti di pari periodo T.

6. Circuito di commutazione secondo la rivendicazione 5, caratterizzato dal fatto che detti segnali di temporizzazione (CK1-CKN) sono equiritardati l'uno rispetto all'altro di una frazione T/N del periodo T .

5 7. Circuito di commutazione secondo la rivendicazione 6, caratterizzato dal fatto che ciascuno di detti blocchi circuitali (31-316) comprende primi mezzi circuitali (FF3,I1,A2,FF5,FF6) per generare, in conseguenza dell'attivazione del rispettivo segnale di selezione (S1-
10 S16), un impulso su detto segnale di disabilitazione (K1-K16).

8. Circuito di commutazione secondo la rivendicazione 7, caratterizzato dal fatto che ciascuno di detti blocchi circuitali (31-316) comprende secondi mezzi circuitali
15 (FF3,FF4,A1,O1,I1,A2,O2,A3,FF7) per attivare, in risposta all'attivazione del rispettivo segnale di selezione (S1-S16), un segnale di abilitazione (ENi) all'emissione del rispettivo segnale di temporizzazione locale (CK1-CKN), detto segnale di abilitazione (ENi) venendo attivato in
20 sincronia con il rispettivo segnale di temporizzazione locale (CK1-CKN).

9. Circuito di commutazione secondo la rivendicazione 8, caratterizzato dal fatto che detti secondi mezzi circuitali (FF3,FF4,A1,O1,I1,A2,O2,A3,FF7) ricevono i
25 segnali di disabilitazione (K1-K16) dai blocchi circuitali

adiacenti (31-316) e, in caso di attivazione di uno di detti segnali di disabilitazione, comandano la disattivazione del segnale di abilitazione (ENi).

10. Circuito di recupero di dati in un flusso dati
5 seriale, comprendente un generatore (4) di una pluralità di N segnali di temporizzazione (CK1-CKN) di pari periodo T fra loro equiritardati di una frazione T/N del periodo T, che alimenta un circuito di commutazione (3) per commutare una uscita (CKS) su uno di detti segnali di temporizzazione
10 (CK1-CKN), detta uscita (CKS) essendo fornita, unitamente ad un segnale (BK) recante un flusso di dati in ricezione, ad un comparatore di fase (1), e mezzi di comando (5) del circuito di commutazione (3) che ricevono dal comparatore di fase (1) segnali (+/-) indicativi dello sfasamento fra
15 l'uscita (CKS) del circuito di commutazione (3) ed il flusso di dati in ricezione (BK) e conseguentemente comandano il circuito di commutazione (3) in modo da commutare l'uscita (CKS) su un segnale di temporizzazione (CK1-CKN) con sfasamento minore, caratterizzato dal fatto che detto
20 circuito di commutazione è in accordo ad una qualunque delle precedenti rivendicazioni.

11. Circuito secondo la rivendicazione 10, in cui detto generatore (4) è un circuito ad anello ad aggancio di ritardo (DLL).

25 12. Circuito secondo la rivendicazione 10, in cui

detto segnale (BK) recante il flusso di dati in ricezione e detta uscita (CKS) del circuito di commutazione (3) sono alimentati a mezzi circuitali (2) di campionamento dei dati, detta uscita (CKS) del circuito di commutazione fungendo da
5 segnale di sincronismo per il campionamento.

RIASSUNTO

Un circuito di commutazione per commutare una uscita (CKS) su uno di una pluralità di N segnali di temporizzazione (CK1 - CKN) di ingresso fra loro ritardati, 5 comprende mezzi circuitali (31-316,7) rispondenti a detto comando (CNT) per l'abilitazione alla trasmissione su detto segnale di uscita (CKS) di un nuovo segnale (CK(i-1);CKi) di detta pluralità di segnali di ingresso, anticipato o ritardato rispetto ad un segnale corrente (CKi;CK(i-1)) di 10 detta pluralità di segnali di ingresso correntemente trasmesso su detto segnale di uscita (CKS), detti mezzi circuitali (31-316,7) abilitando la trasmissione del nuovo segnale (CK(i-1);CKi) prima di disabilitare la trasmissione su detto segnale di uscita (CKS) del segnale corrente 15 (CKi;CK(i-1)), in modo da evitare che, nella commutazione del segnale di uscita da uno ad un altro dei segnali di temporizzazione, si producano falsi segnali.

[Figura 2.]

THIS PAGE BLANK (USPTO)

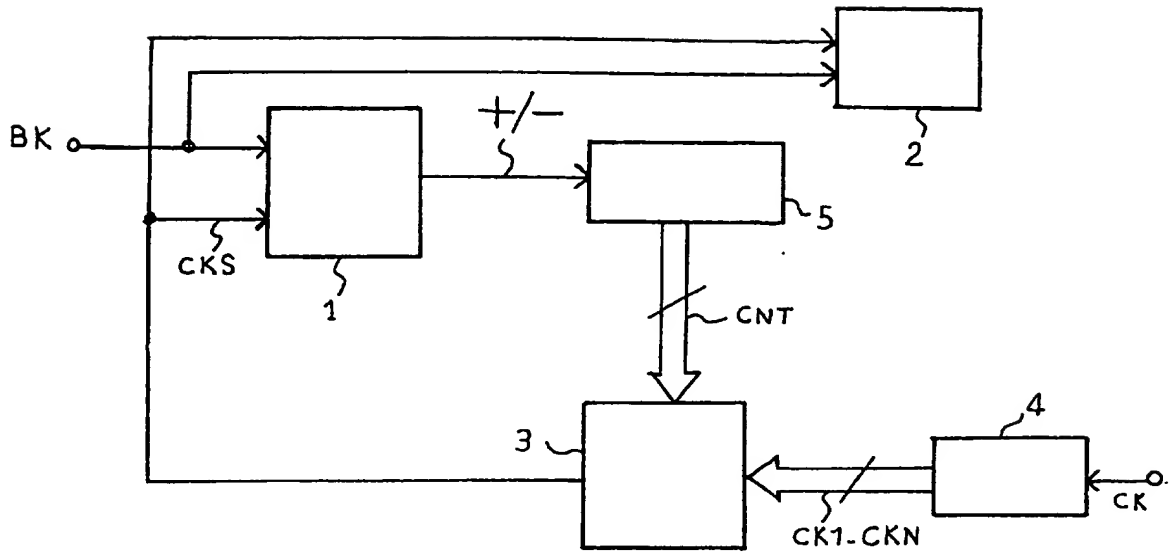


FIG. 1

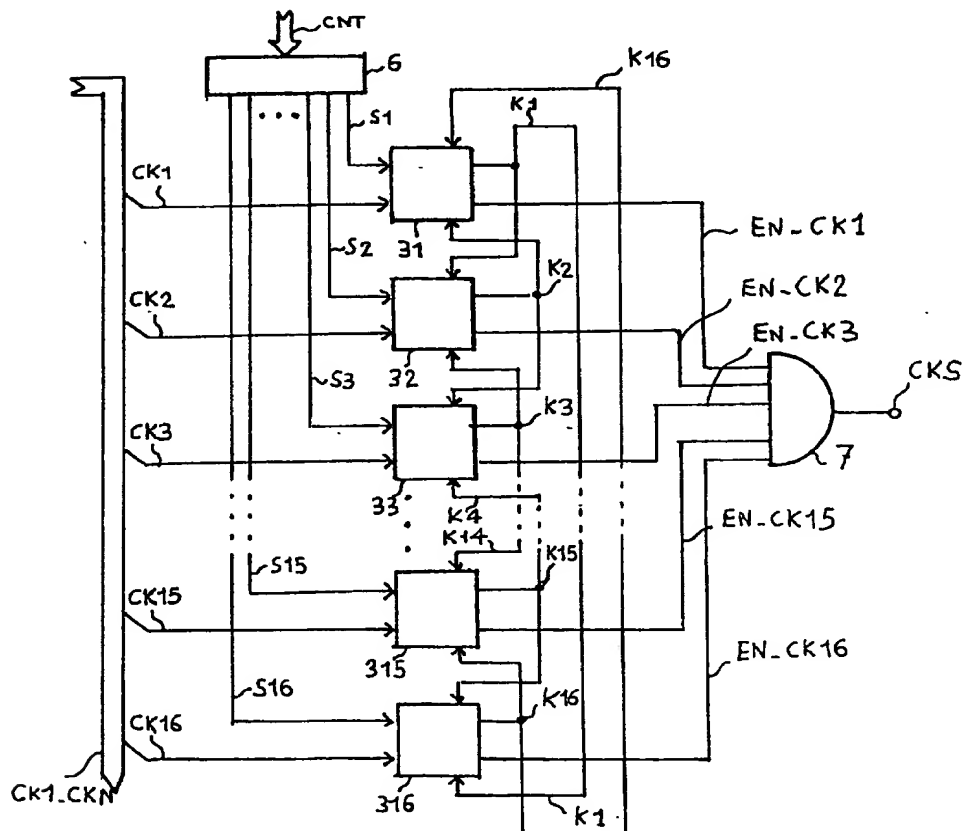


FIG. 2

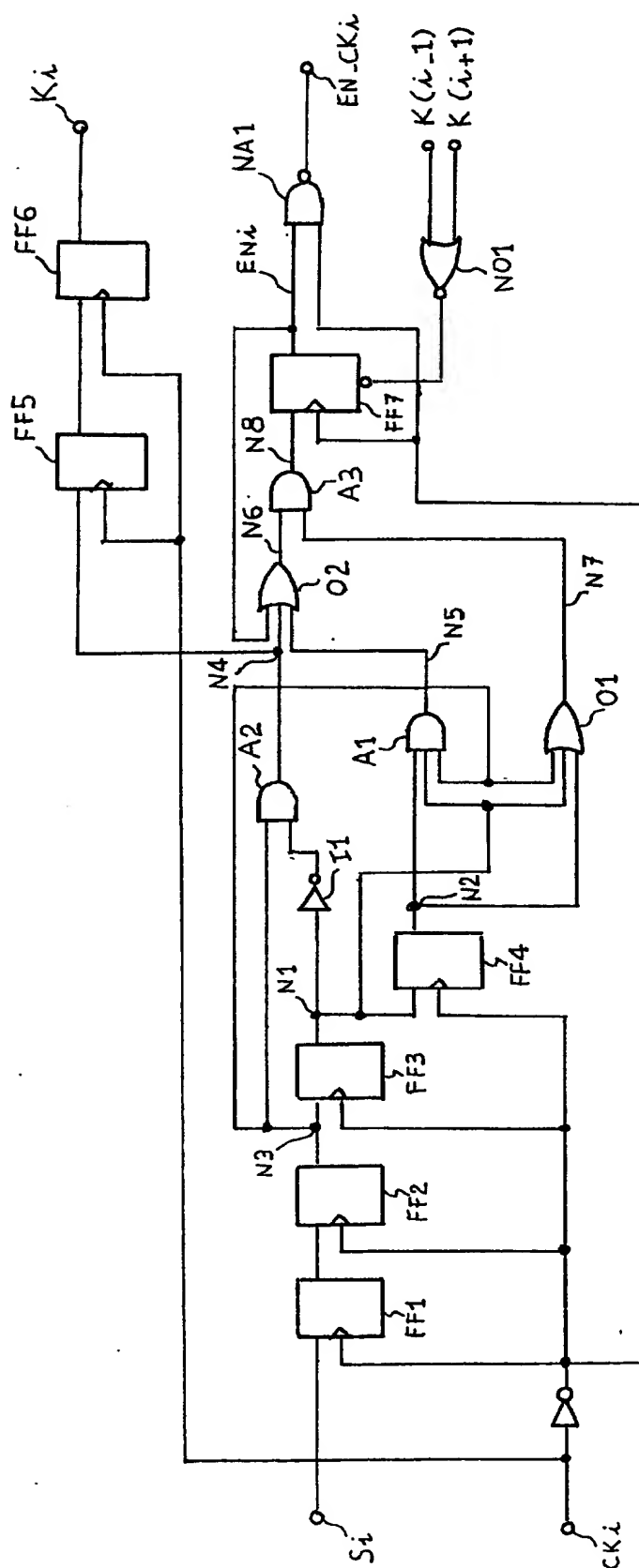


FIG. 3

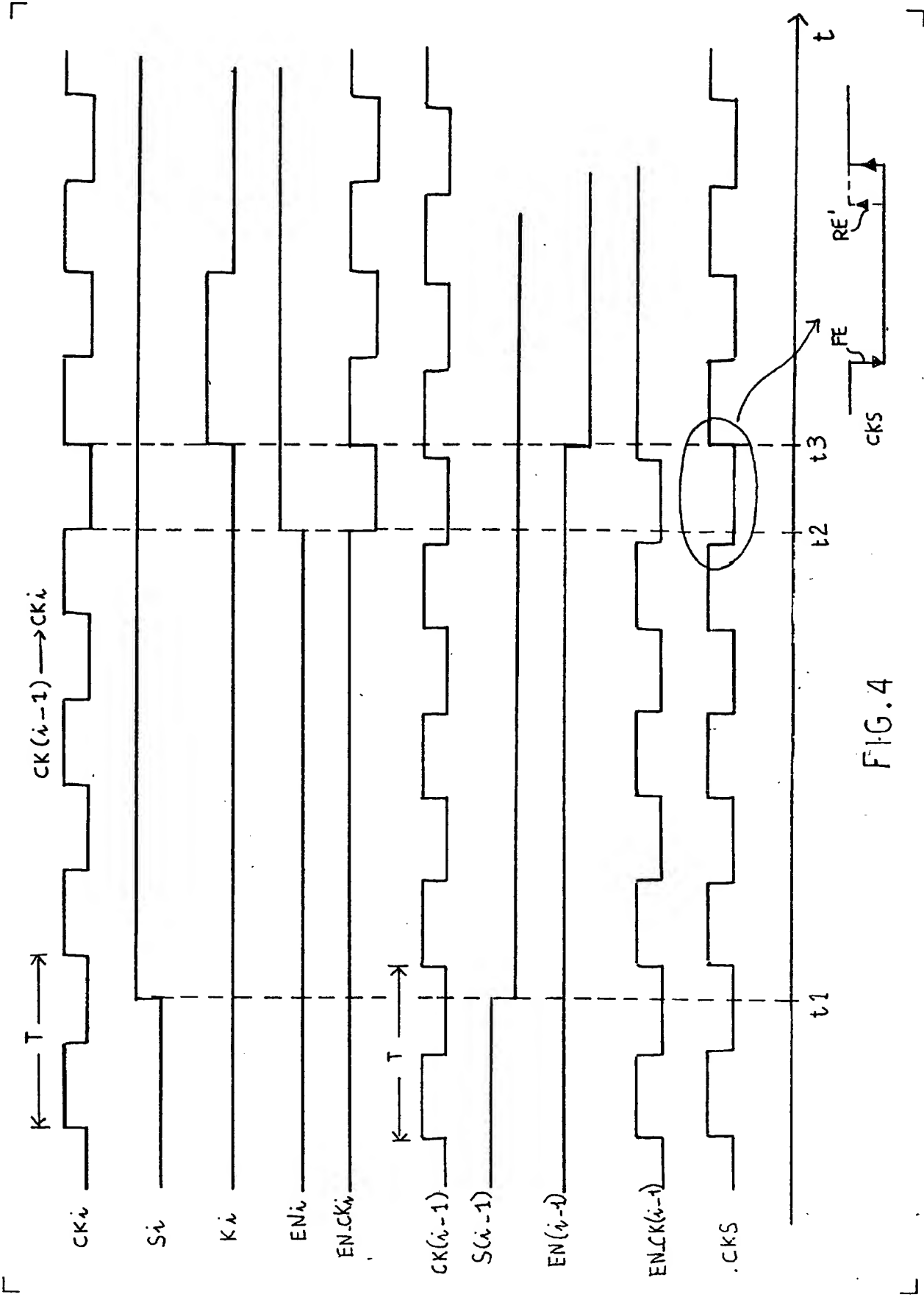


FIG.4

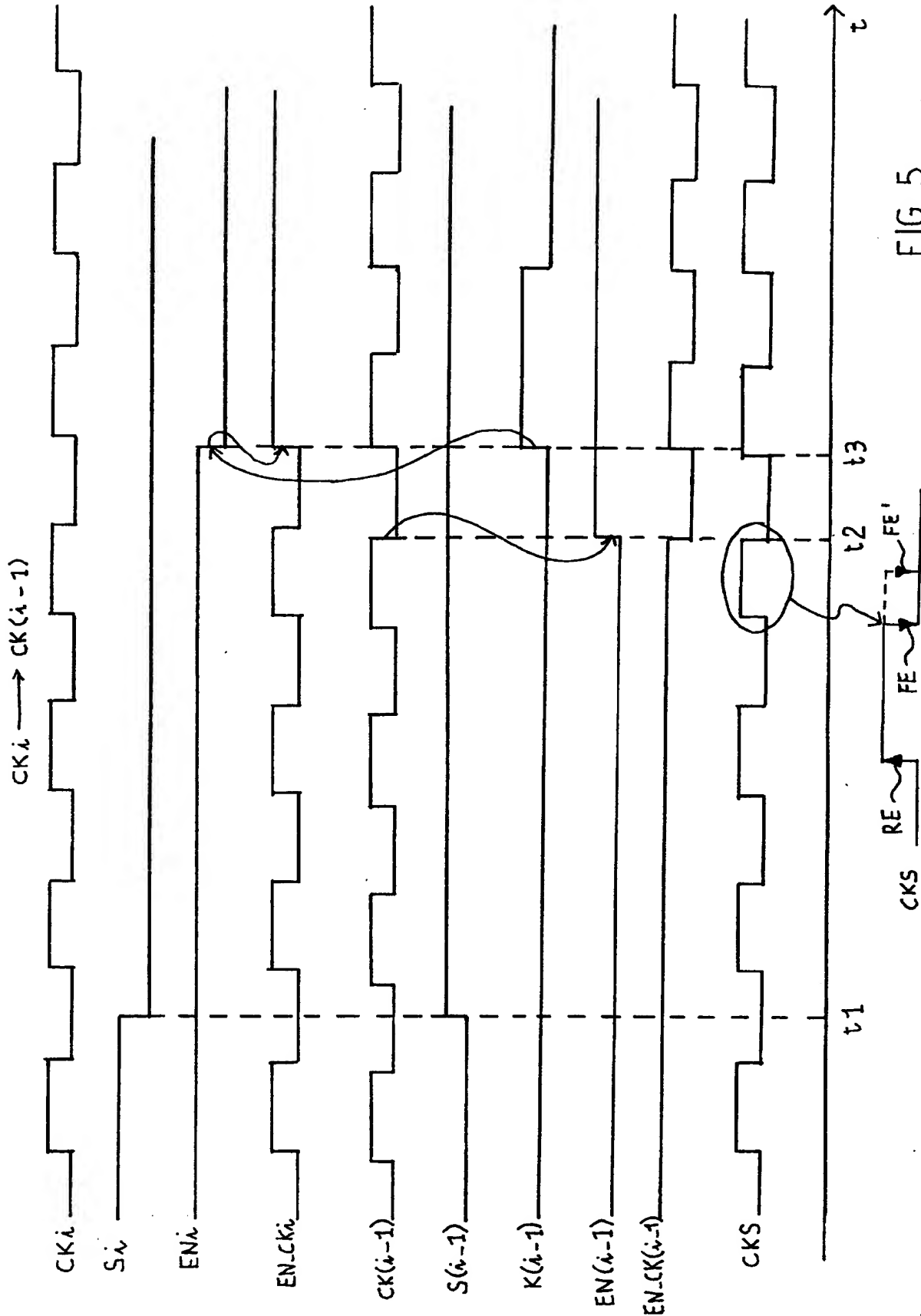


FIG 5

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)